

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-235722

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.⁴

H 0 3 K 17/04

識別記号

庁内整理番号

Z 9184-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 11 頁)

(21)出願番号 特願平4-32304

(22)出願日 平成4年(1992)2月19日

(71)出願人 000102636

エナジーサポート株式会社

愛知県犬山市字上小針1番地

(72)発明者 西村 孔宏

愛知県犬山市字上小針1番地 エナジーサ

ポート 株式会社内

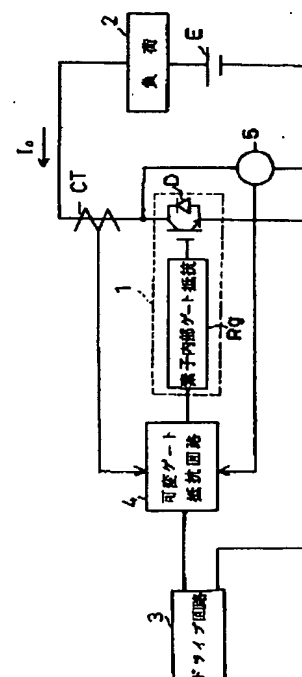
(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】 スイッチング素子駆動回路

(57)【要約】

【目的】自動的にターンオン・ターンオフ時間を短くし、且つ、サージ電圧による電圧駆動型スイッチング素子の破損を防止するスイッチング素子駆動回路を提供する。

【構成】コレクタ・エミッタ間に負荷2を設けた電圧駆動型スイッチング素子1に電圧を印加して駆動するスイッチング素子駆動回路において、前記素子1のゲートに対し直列に接続した可変ゲート抵抗回路4と、前記負荷2に供給される負荷電流 I_L を検出する変流器CTと、前記素子1のコレクタ・エミッタ間の電圧を検出する電圧検出器5とを備え、この負荷電流 I_L の変化及び電圧がサージ電圧であるか否かに基づいて前記可変ゲート抵抗回路4の抵抗値を可変制御するようにした。この構成により、自動的に素子1のターンオン・ターンオフ時間を短くし、且つ、サージ電圧による素子1の破損を防止することができる。



【特許請求の範囲】

【請求項1】 コレクタ・エミッタ間に負荷を設けた電圧駆動型スイッチング素子に電圧を印加して駆動するスイッチング素子駆動回路において、前記電圧駆動型スイッチング素子のゲートに対し直列に接続した可変ゲート抵抗回路と、前記負荷に供給される負荷電流を検出する電流検出手段と、前記電流検出手段により検出された負荷電流の検出信号と予め設定された基準電流値とを比較する比較手段と、前記電流値比較手段の比較結果に基づき、前記可変ゲート抵抗回路の抵抗値を制御する制御手段とを備えたことを特徴とするスイッチング素子駆動回路。

【請求項2】 コレクタ・エミッタ間に負荷を設けた電圧駆動型スイッチング素子に電圧を印加して駆動するスイッチング素子駆動回路において、前記電圧駆動型スイッチング素子のゲートに対し直列に接続した可変ゲート抵抗回路と、前記負荷に供給される負荷電流を検出する電流検出手段と、前記電圧駆動型スイッチング素子のコレクタ・エミッタ間の電圧を検出する電圧検出手段と、前記電流検出手段により検出された負荷電流の検出信号と予め設定された基準電流値とを比較する比較手段と、前記電圧検出手段により検出された電圧がサージ電圧であるか否かを判別する判別手段と、前記比較手段の比較結果及び判別手段の判別結果に基づき、前記可変ゲート抵抗回路の抵抗値を制御する制御手段とを備えたことを特徴とするスイッチング素子駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スイッチング素子駆動回路に関するものである。

【0002】

【従来の技術】 従来において、電圧駆動型スイッチング素子のコレクタ・エミッタ間に例えばモータのような負荷を接続し、その素子のゲートに電圧を印加して駆動するよう構成されたスイッチング素子駆動回路としては、以下のような回路が知られている。

【0003】 すなわち、図6に示すように、電圧駆動型スイッチング素子としては、例えばIGBT（JEDC登録名称：インシュレーテッド ゲート バイポーラトランジスタ）1が用いられ、このIGBT1のコレクタ・エミッタ間に負荷2及びその負荷2の駆動源としての電源Eが接続されている。前記IGBT1内部において、ゲート側には素子内部ゲート抵抗 R_g が接続されるとともに、コレクタ・エミッタ間にはIGBT1のターンオフ時の逆起電流をバイパスする破損防止用のダイオードDが接続されている。

【0004】 また、IGBT1のゲートには外部ゲート抵抗RGが直列に接続されており、ドライブ回路3が前記外部ゲート抵抗RGを介して接続されている。そして、前記ドライブ回路3により前記IGBT1のゲート・エミッタ間に電圧を印加してIGBT1をオン・オフ制御するよう構成されていた。

【0005】

【発明が解決しようとする課題】 ところで、上記したような電圧制御型素子を用いたスイッチング素子駆動回路において、ゲートに直列に接続された外部ゲート抵抗の抵抗値の大小により、電圧制御型素子のターンオン・ターンオフ時間に影響を与えることが知られている。特に、負荷電流が大きいものを扱う場合に使用される上記IGBT1においては、外部ゲート抵抗RGの抵抗値に基づくターンオン・ターンオフ時間への影響が顕著である。

【0006】 上記ターンオン・ターンオフ時間への影響について図6の従来例に基づいて説明すると、負荷電流I₁に対し外部ゲート抵抗RGの抵抗値が適切な値よりも大きいときには、IGBT1のターンオン・ターンオフ時間が長くなる。逆に、外部ゲート抵抗RGの抵抗値が適切な値よりも小さいときには、IGBT1のターンオン・ターンオフ時間は短くなるものの、IGBT1のターンオン・ターンオフ時においてコレクタ・エミッタ間に過大なサージ電圧が発生し、これがIGBT1の耐電圧を越えた場合にはIGBT1が破損する虞がある。

【0007】 従って、ターンオン・ターンオフ時間を短くし、且つ、サージ電圧によるIGBT1の破損を防止するためには、予め外部ゲート抵抗RGの抵抗値を負荷電流I₁に対し適切な大きさに設定する必要がある。

【0008】 ところが、上記従来のスイッチング素子駆動回路においては、外部ゲート抵抗RGの抵抗値が固定されていたため、負荷2の取り替え等により負荷電流I₁が変化した場合は、外部ゲート抵抗RGをその負荷電流I₁に適した抵抗値のものに逐一交換する必要があった。詳しくは、メーカー推奨ゲート抵抗値を参考にし、負荷電流I₁に適応する外部ゲート抵抗RGを選定し交換した後、IGBT1のコレクタ・エミッタ間に過大なサージ電圧が発生する場合には外部ゲート抵抗RGを抵抗値の大きいものに変更するという作業を行っていた。

【0009】 そのため、負荷電流I₁に伴う前記外部ゲート抵抗RGの選定及び交換作業に手間がかかるという問題があった。また、負荷電流I₁の大きさが経時的に変化する負荷に対しては上記の回路は使用することができなかった。

【0010】 本発明は上記問題点を解決するためになされたものであって、その第1の目的は、負荷電流が変更されても外部ゲート抵抗の選定及び交換作業を省くことができるスイッチング素子駆動回路を提供することにある。また、第2の目的は、上記第1の目的に加え電圧制

御型スイッチング素子の破損をも未然に防止できるスイッチング素子駆動回路を提供することにある。

【0011】

【課題を解決するための手段】本発明は上記目的を達成するために、第1の発明においては、コレクタ・エミッタ間に負荷を設けた電圧駆動型スイッチング素子に電圧を印加して駆動するスイッチング素子駆動回路において、前記電圧駆動型スイッチング素子のゲートに対し直列に接続した可変ゲート抵抗回路と、前記負荷に供給される負荷電流を検出する電流検出手段と、前記電流検出手段により検出された負荷電流の検出信号と予め設定された基準電流値とを比較する比較手段と、前記電流値比較手段の比較結果に基づき、前記可変ゲート抵抗回路の抵抗値を制御する制御手段とを備えたことをその要旨としている。

【0012】また、第2の発明においては、コレクタ・エミッタ間に負荷を設けた電圧駆動型スイッチング素子に電圧を印加して駆動するスイッチング素子駆動回路において、前記電圧駆動型スイッチング素子のゲートに対し直列に接続した可変ゲート抵抗回路と、前記負荷に供給される負荷電流を検出する電流検出手段と、前記電圧駆動型スイッチング素子のコレクタ・エミッタ間の電圧を検出する電圧検出手段と、前記電流検出手段により検出された負荷電流の検出信号と予め設定された基準電流値とを比較する比較手段と、前記電圧検出手段により検出された電圧がサージ電圧であるか否かを判別する判別手段と、前記比較手段の比較結果及び判別手段の判別結果に基づき、前記可変ゲート抵抗回路の抵抗値を制御する制御手段とを備えたことをその要旨としている。

【0013】

【作用】従って、上記第1の発明によれば、負荷に供給される負荷電流が変化すると、電流検出手段によりその負荷電流が検出されるとともに、比較手段により前記負荷電流の検出信号と予め設定された基準電流値とが比較される。そして、その比較結果に基づいて制御手段により負荷電流に対する適切な抵抗値が選定され、可変ゲート抵抗回路の抵抗値が可変制御される。

【0014】また、第2の発明によれば、負荷に供給される負荷電流が変化すると、電流検出手段によりその負荷電流が検出されるとともに、比較手段により前記負荷電流の検出信号と予め設定された基準電流値とが比較される。一方、電圧検出手段により検出されたコレクタ・エミッタ間の電圧が、判別手段によりサージ電圧であるか否かが判別される。そして、前記比較結果に基づいて制御手段により負荷電流に対する適切な抵抗値が選定され、可変ゲート抵抗回路の抵抗値が可変制御されるとともに、前記判別手段に基づいてサージ電圧が発生しないように可変ゲート抵抗回路の抵抗値が可変制御される。

【0015】

【実施例】（第一実施例）以下、本発明のスイッチング

素子駆動回路を具体化した第一実施例を図1～図3に従って詳細に説明する。

【0016】なお、本実施例において、図6に示した従来のスイッチング素子駆動回路と構成上異なる部分についてのみ説明し、図6と同じ構成を成す部分については同一の符号を附してその詳細な説明を省略する。

【0017】図1は電圧駆動型スイッチング素子としてのIGBT1を使用したスイッチング素子駆動回路を示し、ドライブ回路3と素子内部ゲート抵抗 R_g との間には、可変ゲート抵抗回路4が直列に接続されている。IGBT1のコレクタ・エミッタ間の一部には負荷2の負荷電流 I_o を常時検出する電流検出手段としての変流器CTが取付けられ、同変流器CTは前記可変ゲート抵抗回路4に接続されている。前記IGBT1のコレクタ・エミッタ間にはその間の電圧を常時検出する電圧検出手段としての電圧検出器5が接続されるとともに、同電圧検出器5は前記可変ゲート抵抗回路4に接続されている。なお、本実施例において負荷2は経時的に負荷電流 I_o が変化する例えばモータ等が使用されている。

【0018】次に、前記可変ゲート抵抗回路4の内部構成について、図2に基づいて説明する。前記変流器CTは可変ゲート抵抗回路4内の負荷電流検出部6に接続されており、同負荷電流検出部6は比較手段としての第1比較部7a、第2比較部7b、…、第n比較部7zにそれぞれ接続されている。前記各比較部7a～7zには、aアンペア、bアンペア、…、zアンペア（ $a > b > \dots > z$ ）の基準電流値が各々設定されている。また、前記各比較部7a～7zに対応して各々 $R_1 I_o$ 、リレー8a、 $R_2 I_o$ 、リレー8b、…、 $R_n I_o$ 、リレー8zが接続されている。

【0019】前記電圧検出器5は可変ゲート抵抗回路4内のサージ電圧検出部9に接続されており、このサージ電圧検出部9及び前記負荷電流検出部6は判別手段としてのリレー制御部10に接続されている。また、このリレー制御部10は $r_1 V_{\alpha}$ リレー11a、 $r_2 V_{\alpha}$ リレー11b、…、 $r_n V_{\alpha}$ リレー11zにそれぞれ接続されている。

【0020】前記ドライブ回路3は第1の可変抵抗部12に直列に接続されるとともに、この第1の可変抵抗部12は第2の可変抵抗部13に直列に接続されている。また、この第2の可変抵抗部13はIGBT1のゲートに直列に接続されている。

【0021】前記第1の可変抵抗部12は、メカ推奨ゲート抵抗値を参考に選定された複数の抵抗 $R_o \sim R_n$ が並列に接続されている。また、前記抵抗 $R_o \sim R_n$ のうち、抵抗 R_o を除く各々の抵抗 $R_1 \sim R_n$ には常開のリレー接点14a～14zがそれぞれ直列に接続されている。前記リレー接点14a～14zは、前記各 $R_1 I_o$ 、リレー8a～ $R_n I_o$ 、リレー8zに対しそれぞれ対応配置され、これら各リレー8a～8zが励磁されると閉

じるようになっている。

【0022】前記第2の可変抵抗部13は、メーカ推奨ゲート抵抗値を参考に選定された複数の抵抗 $r_0 \sim r_n$ が並列に接続されている。また、前記抵抗 $r_0 \sim r_n$ のうち、抵抗 r_0 を除く各々の抵抗 $r_1 \sim r_n$ には常閉のリレー接点15a~15zがそれぞれ直列に接続されている。前記リレー接点15a~15zは、前記各 $r_1 \sim r_n$ の V_{α} リレー11a~ r_n の V_{α} リレー11zに対しそれぞれ対応配置され、これら各リレー11a~11zが励磁されると開くようになっている。

【0023】次に、上記のように構成された第一実施例のスイッチング素子駆動回路の作用を説明する。ドライブ回路3よりIGBT1のゲート・エミッタ間に電圧が印加されると、IGBT1がターンオンされて負荷2が駆動される。なお、負荷2が駆動されているか否かに拘わらず、常に変流器CTは負荷電流 I_o を検出し、電圧検出器5はコレクタ・エミッタ間の電圧 V_{α} を検出している。

【0024】ここで、負荷電流 I_o が大きくなると、前記負荷電流検出部6に負荷電流 I_o に対応する検出信号が入力され、この検出信号が全ての比較部7a~7zに入力される。そして、各比較部7a~7zにおいて予め定められた基準電流値と前記検出信号とを比較する。例えば、第1比較部7aにおいて入力された検出信号が a アンペア以上であるかを比較する。この比較結果において検出信号の方が大きい場合には、その比較部7a~7zに対応するリレー8a~8zを励磁させる。これらリレー8a~8zの励磁に基づき、対応するリレー接点14a~14zが閉じる。

【0025】この一連の動作により、各抵抗 $R_0 \sim R_n$ が並列に接続されているため、負荷電流 I_o が大きくなると可変ゲート抵抗回路4の抵抗値が小さくなっていき、自動的にIGBT1のターンオン・ターンオフ時間が短くなる。

【0026】一方、サージ電圧検出部9により、電圧 V_{α} を検出した場合には、リレー制御部10において、図3に示す動作を行う。すなわち、ステップ（以下、ステップを「S」という）1において、負荷電流検出部6及びサージ電圧検出部9により負荷電流 I_o 及びコレクタ・エミッタ間の電圧 V_{α} が検出されると、S2において、リレー制御部10は負荷電流 I_o が変化したか否かを判断する。そして、負荷電流 I_o が変化した場合には、S4において、電圧 V_{α} が変化したか否かを判断し、電圧 V_{α} が変化した場合には、S5において、 r_1 の V_{α} リレー11aを励磁させリレー接点15aを開く。次に、S6において、電圧 V_{α} が変化したか否かを判断し、電圧 V_{α} が変化した場合には、S7において、 r_2 の V_{α} リレー11bを励磁させリレー接点15bを開く。以降、同じ動作を各接点7a~7zに対応してSnまで順次行い、S1に戻る。

【0027】なお、S2において、負荷電流 I_o が変化していない場合には、S3において、全てのリレー接点15a~15zを閉じ、S1に戻る。また、S4、S6、…において、電圧 V_{α} に変化がない場合には、S1に戻る。

【0028】この一連の動作により、各抵抗 $r_0 \sim r_n$ が並列に接続されているため、サージ電圧が検出されると可変ゲート抵抗回路4の抵抗値が大きくなっていき、IGBT1のコレクタ・エミッタ間のサージ電圧が抑えられる。

【0029】従って、本実施例においては、負荷電流 I_o 及びコレクタ・エミッタ間の電圧 V_{α} の両方を常に検出して可変ゲート抵抗回路4の抵抗値が適切な大きさになるように構成されているので、ターンオン・ターンオフ時間を短くすることができるとともに、過大なサージ電圧によるIGBT1の破損を未然に防ぐことができる。

（第二実施例）以下、本発明のスイッチング素子駆動回路を具体化した第二実施例を図4及び図5に従って詳細に説明する。

【0030】なお、本第二実施例において、図1~図3に示した第一実施例のスイッチング素子駆動回路と構成上異なる部分についてのみ説明し、図1~図3と同じ構成を成す部分については同一の符号を附してその詳細な説明を省略する。

【0031】図4は電圧駆動型スイッチング素子としてのIGBT1を使用したスイッチング素子駆動回路を示し、ドライブ回路3と素子内部ゲート抵抗 R_g の間には、可変ゲート抵抗回路としての可変ゲート抵抗器20が直列に接続されている。変流器CTと電圧検出器5はそれぞれ比較手段、判別手段及び制御手段としての制御装置21に接続され、同制御装置21は前記可変ゲート抵抗器20に接続されている。

【0032】次に、前記制御装置21の内部構成について、図5に基づいて説明すると、前記変流器CT及び電圧検出器5は、制御装置21に内蔵された中央処理装置（以下、CPUという）22に接続されている。また、CPU22は読出し専用のメモリ（以下、ROMという）23を備え、変流器CT及び電圧検出器5からの検出信号を後記するRAMへ書き込み制御するプログラム、変流器CTから読取られた検出信号を予め記憶された基準電流値と比較制御するプログラム、電圧検出器5から読取られた電圧 V_{α} がサージ電圧であるか否かを判別制御するプログラム及び可変ゲート抵抗器20の制御プログラム等が記憶されている。さらに、CPU22は読出し及び書き込み可能なメモリ（以下、RAMという）24を備えており、CPU22が演算処理に必要なデータ等を書込み及び読出す。また、RAM24は変流器CT及び電圧検出器5からの検出信号を記憶する図示しない記憶領域を備えている。

【0033】さて、負荷電流 I_L に対応する検出信号がCPU22に入力されると、CPU22は予め記憶された基準電流値と比較し、その比較結果に基づいてIGBT1のターンオン・ターンオフ時間が短くなる抵抗値を算出する。そして、CPU22は、可変ゲート抵抗器20が算出された抵抗値となるように可変制御する。

【0034】一方、電圧 V_{α} に対応する検出信号がCPU22に入力され、CPU22によりこの検出信号がサージ電圧であると判断されると、CPU22はサージ電圧が発生しなくなるまで前記可変ゲート抵抗器20の抵抗値を徐々に大きくしていく。

【0035】従って、本第二実施例においても、負荷電流 I_L 及びコレクタ・エミッタ間の電圧 V_{α} の両方を常に検出して可変ゲート抵抗器20の抵抗値が適切な大きさになるように構成されているので、ターンオン・ターンオフ時間を短くできるとともに、過大なサージ電圧によるIGBT1の破損を防止することができる。

【0036】なお、本発明は上記両実施例のみに限定されることはなく、本発明の趣旨から逸脱しない範囲内において、例えば以下のように変更することも可能である。

(1) IGBT1に代えて他の電圧制御型スイッチング素子を用いてもよい。

(2) 電圧検出器5を省いて負荷電流 I_L の変化のみにより可変ゲート抵抗回路の抵抗値を変化させるよう制御してもよい。この場合においても、自動的にIGBT1のターンオン・ターンオフ時間を短くことができ、IGBT1のコレクタ・エミッタ間に発生するサージ電圧もある程度まで低減させることができる。

【0037】

【発明の効果】以上詳述したように、第1の発明によれ

ば、電圧制御型スイッチング素子においてコレクタ・エミッタ間に設けられた負荷の負荷電流が変更されても、電圧制御型スイッチング素子のゲート側の抵抗が自動的に最適な抵抗値となるので、外部ゲート抵抗の選定及び交換替え作業を省くことができる。

【0038】また、第2の発明によれば、上記第1の発明の効果に加え、電圧駆動型スイッチング素子の破損をも未然に防止することができるという優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明を具体化した第一実施例を示すスイッチング素子駆動回路の回路図である。

【図2】同じく第一実施例を示す可変ゲート抵抗回路のブロック図である。

【図3】同じく第一実施例を説明するフローチャートである。

【図4】本発明を具体化した第二実施例を示すスイッチング素子駆動回路の回路図である。

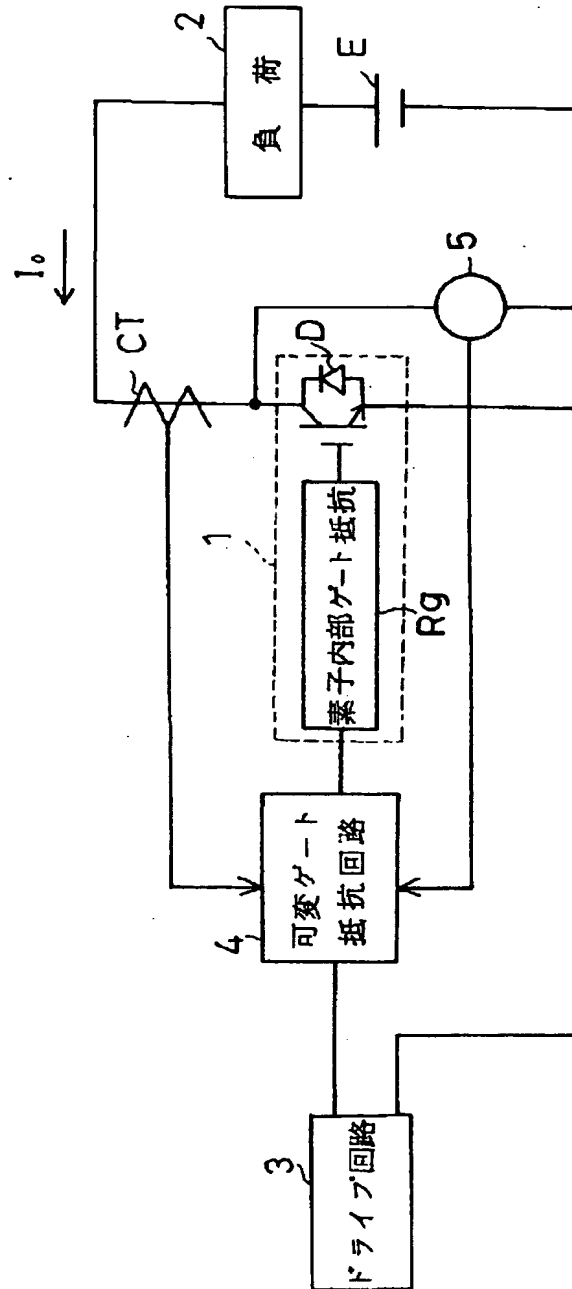
【図5】同じく第二実施例を示す制御装置のブロック図である。

【図6】従来のスイッチング素子駆動回路を示す回路図である。

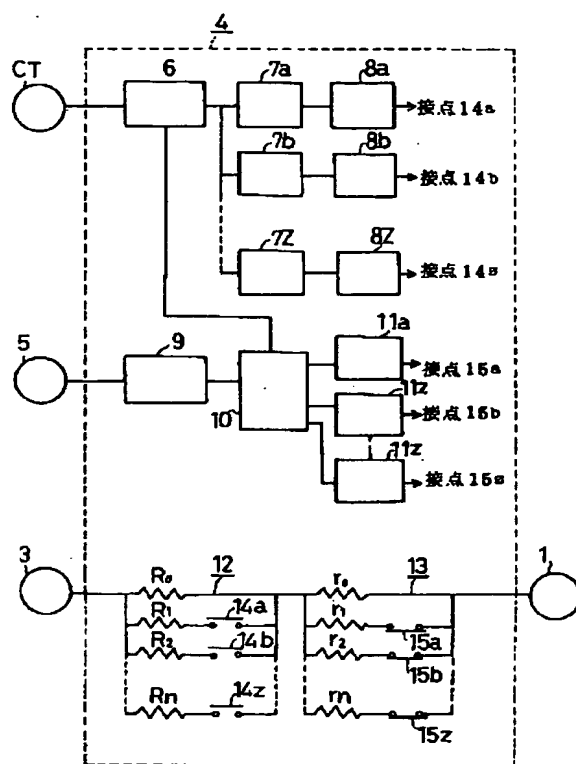
【符号の説明】

1…電圧駆動型スイッチング素子としてのIGBT、2…負荷、4…可変ゲート抵抗回路、5…電圧検出手段としての電圧検出器、7a～7z…比較手段としての第1～第n比較器、10…判別手段としてのリレー制御部、20…可変ゲート抵抗回路としての可変ゲート抵抗器、21…比較手段、判別手段及び制御手段としての制御装置、 I_L …負荷電流、CT…電流検出手段としての変流器。

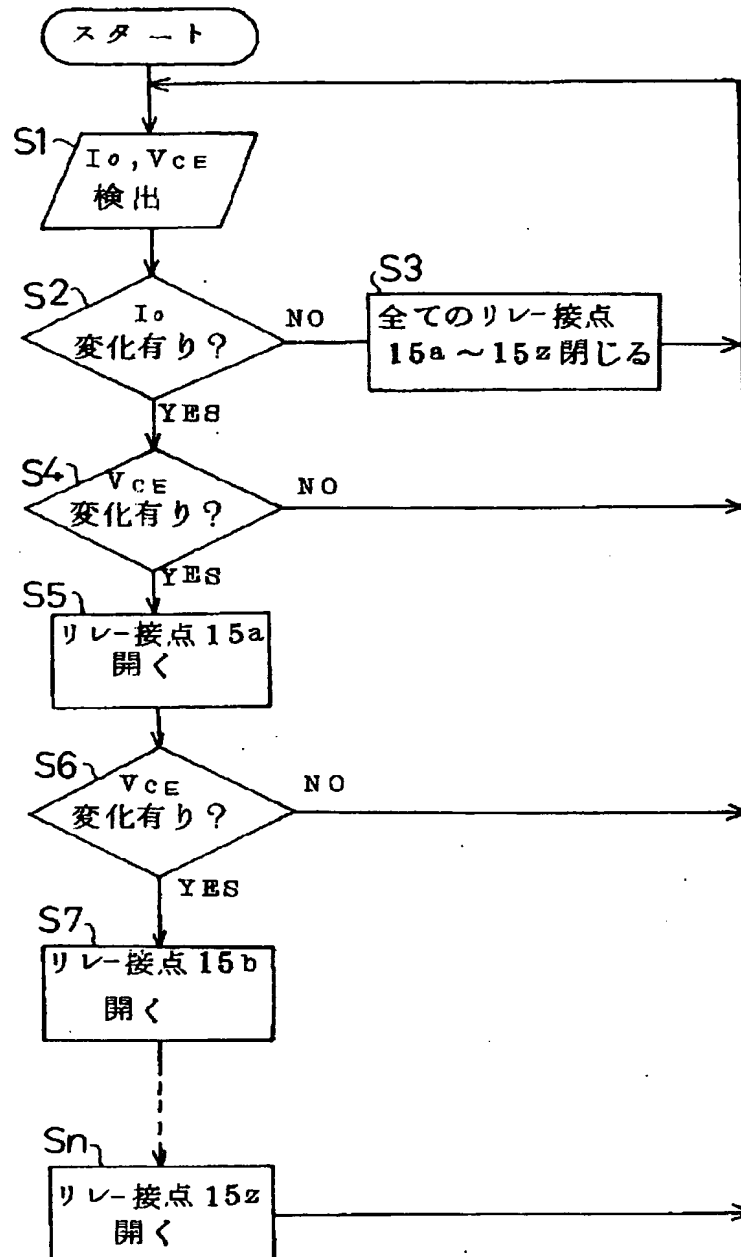
【図1】



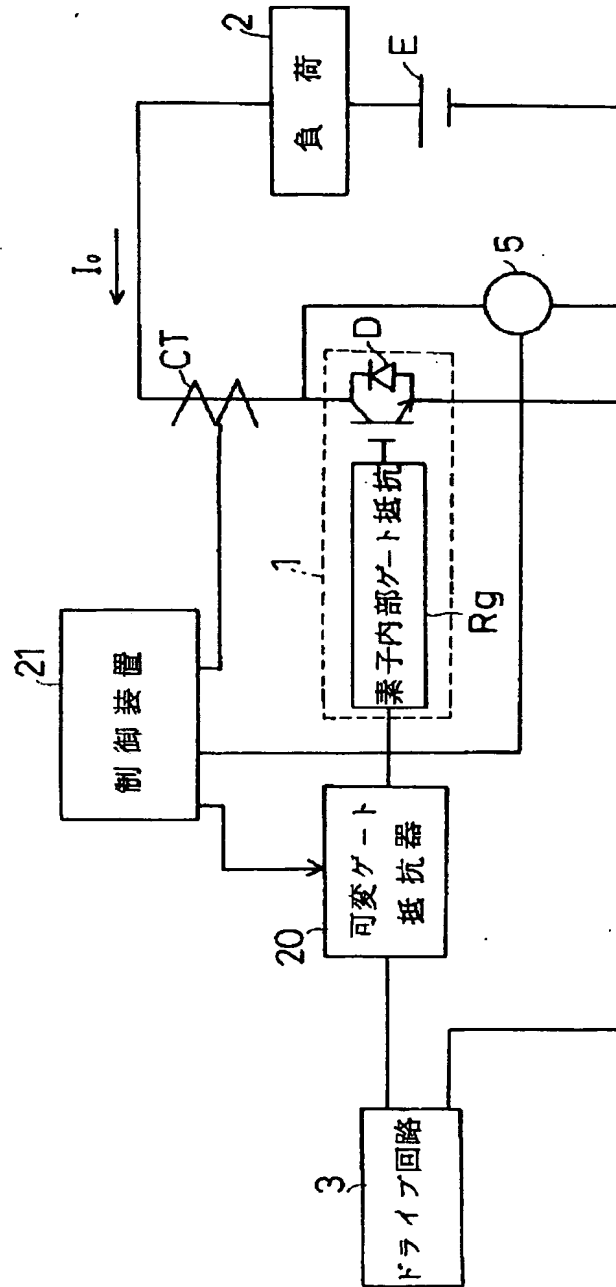
【図 2】



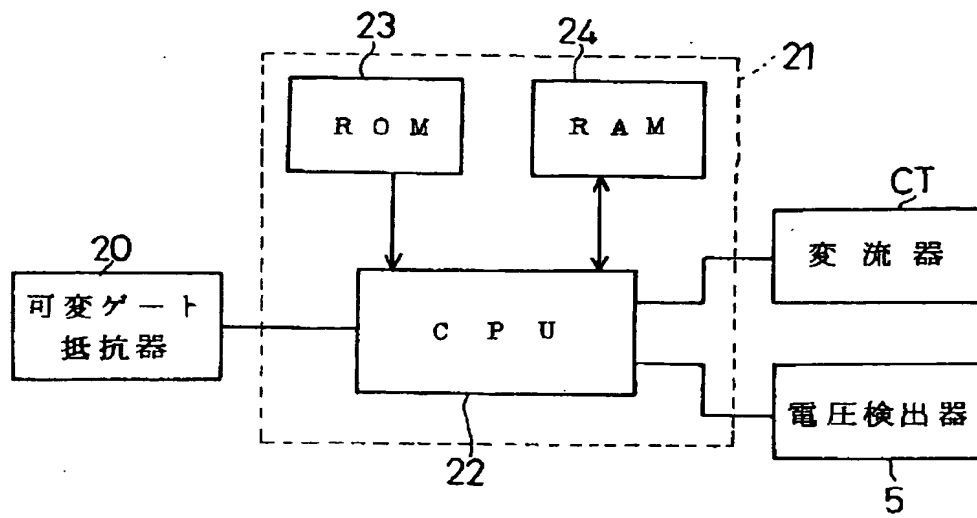
【図3】



【図4】



【図5】



【図6】

